

TEC-9 计算机组成原理实验系统  
实验指导书  
(第3版)

庄丽华 吕猛 主编

常州大学  
信息科学与工程学院 数理学院

# 目 录

<b>第一章 TEC-9 计算机组成和数字逻辑实验系统介绍</b> .....	<b>2</b>
一、TEC-9 实验系统的特点.....	2
二、TEC-9 实验系统的组成.....	4
三、TEC-9 监控使用说明.....	13
四、TEC-9 教学软件使用说明.....	17
五、USB-COM 通讯线使用说明.....	20
<b>第二章 计算机组成原理实验</b> .....	<b>30</b>
第一节、寄存器实验.....	30
第二节、运算器组成实验.....	33
第三节、双端口存储器原理实验.....	38
第四节、数据通路组成实验.....	45
第五节、微程序控制器组成实验.....	56
第六节、CPU 组成与机器指令执行实验.....	70
第七节、中断原理实验.....	75

## 二、TEC-9 实验系统的组成

TEC-9 实验系统由以下几个部分组成：

- 控制台
- 数据通路
- 控制器
- 时序电路
- 数字逻辑实验区
- 电源模块

下面分别对各组成部分予以介绍。

### 1、电源

电源部分由一个电源、一个电源插座、一个电源开关和一个红色电源指示灯组成。电源通过四个螺钉安装在实验箱底部，它输出+5V 电压，最大负载电流 3A，具有抗+5V 对地短路功能。电源插座用于接交流 220V，插座内装有保险丝。电源开关接通时，模块电源输出+5V，红色指示灯点亮。

### 2、时序发生器

时序发生器产生计算机模型所需的时序和数字逻辑实验所需的时钟。时序电路由一个 500KHz 晶振、2 片 GAL22V10 组成。根据本机设计，执行一条微指令需要 4 个节拍脉冲 T1、T2、T3、T4，执行一条机器指令需要三个节拍电位 W1、W2、W3，因此本机的基本时序如下：

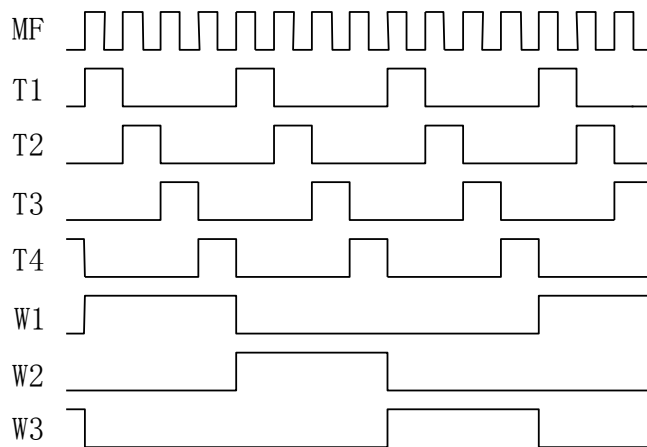


图1.1 基本时序图

图中，MF 是晶振产生的 500KHz 基本时钟，T1、T2、T3、T4 是数据通路和控制器中各寄存器的节拍脉冲信号，印制板上已将它们和相关的寄存器相连。T1、T2、T3、T4 既供微过程控制器使用，也供硬连线控制器使用。W1、W2、W3，只供硬连线控制器做节拍电位信号使用。

### 3、数据通路

TEC-9 的数据通路采用了数据总线和指令总线双总线形式。它还使用了大规模在系统编程器件作为寄存器堆，使得设计简单明了，可修改性强。

图 1.2 是数据通路总体图，下面介绍图中各个主要部件的作用。

#### 1). 运算器 ALU

运算器 ALU 由两片 74LS181 组成，在选择端 M 和 S0-S3 控制下，ALU 对数据 A、B 进行

各种算术、逻辑运算。有关 74181 运算的具体操作，请看 74181 的资料和教科书。当  $LDR_i=1$  时，在 T4 的上升沿寄存器 C 保存运算产生的进位标志信号。

#### 2). 运算操作数寄存器 DR1 和 DR2

DR1 和 DR2 是运算操作数寄存器，DR1 和 ALU 的 B 口相连，DR2 和 ALU 的 A 口相连。DR1 和 DR2 各由 2 片 74LS298 构成。当  $M1=0$  且  $LDDR1=1$  时，在 T3 的下降沿，DR1 接收来自寄存器堆 B 端口的数据，当  $M1=1$  且  $LDDR1=1$  时，在 T3 的下降沿，DR1 接收来自数据总线 DBUS 的数据。当  $M2=0$  且  $LDDR2=1$  时，在 T3 的下降沿，DR2 接收来自通用寄存器堆 A 端口的数据。当  $M2=1$  且  $LDDR2=1$  时，在 T3 的下降沿，DR2 接收来自数据总线 DBUS 的数据。

#### 3). 多端口通用寄存器堆 RF

双端口通用寄存器堆 RF 由一片 ispLSI1016 构成，其中包含 4 个 8 位寄存器 (R0、R1、R2、R3)，有三个控制端口：两个控制读操作，一个控制写操作，三个端口可以同时操作。由 RD1、RD0 选中的寄存器的数据从 A 端口读出，由 RS1、RS0 选中的寄存器的数据从 B 端口读出；WR1、WR0 选择要写入的寄存器。WRD 控制写操作，当  $WRD=1$  时，在 T2 上升沿将来自 ER 寄存器的数据写入由 WR1、WR0 选中的寄存器。

从 RF 的 A 端口读出的数据直接送 DR2。由 B 端口读出的数据直接送 DR1 之外，还可以送数据总线 DBUS。当  $RS\_BUS=1$  时，允许 B 端口数据送 DBUS。

#### 4). 暂存寄存器 ER

暂存寄存器 ER 是一片 74LS374，主要用于暂时保存运算器的结果。当  $LDER=1$  时，在 T4 的上升沿，将数据总线 DBUS 上的数据打入暂存寄存器 ER。ER 的输出送往多端口通用寄存器堆 RF，作为写入数据使用。

#### 5). 开关寄存器 SW\_BUS

开关寄存器 SW\_BUS 是一片 74LS244，用于将控制台数据开关 SW7~SW0 的数据送往数据总线 DBUS。当  $SW\_BUS=1$  时，允许开关 SW7~SW0 的数据送往总线 DBUS。

#### 6). 双端口存储器 RAM

双端口存储器 RAM 由一片 IDT7132 及少量控制电路构成。IDT7132 是 2048 字节的双端口静态随机存储器，本实验系统实际使用 256 字节。IDT7132 的两个端口可以同时进行读、写操作，在本实验系统中，RAM 左端口连接数据总线 DBUS，可进行读、写操作；右端口连接指令总线 IBUS，输出到指令寄存器 IR，作为只读端口使用。IDT7132 有 6 个控制引脚，CEL、LRW、OEL 控制左端口读、写操作；CER、RRW、OER 控制右端口的读写操作。CEL 为左端口选择引脚，高电平有效；当  $CEL=0$  时，禁止对左端口的读、写操作。LRW 控制对左端口的读写。当  $CEL=1$  且  $LRW=1$  时，左端口进行读操作；当  $CEL=1$  且  $LRW=0$  在 T3 的上升沿左端口进行写操作。OEL 的作用等同于三态门，当  $CEL=1$  且  $OEL=0$  时，允许左端口读出的数据送到数据总线 DBUS 上；当  $OEL=1$  时，禁止左端口的数据放到 DBUS。本实验系统中左端口 OEL 由 LRW 经反相产生，不需单独控制。控制右端口的三个引脚与左端口的三个完全类似，不过只使用了读操作，在实验板上已将 RRW 固定接高电平，OER 固定接地。当  $CER=1$  时，右端口读出的数据（更确切的说法是指令）放到指令总线 IBUS 上，然后当  $LDIR=1$  时在 T3 的上升沿打入指令寄存器 IR。所有数据/指令的写入都使用左端口，右端口作为指令端口，不需要进行数据的写入。

左端口读出的数据放在数据总线 DBUS 上，由数据总线指示灯 DBUS7-DBUS0 显示。右端口读出的指令放在指令总线 IBUS 上，由指令总线指示灯 IBUS7-IBUS0 显示。

#### 7). 地址寄存器 AR1 和 AR2

地址寄存器 AR1 和 AR2 提供双端口存储器的地址。AR1 是 1 片 GAL22V10，具有加 1 功能，提供双端口存储器左端口地址，AR1 从数据总线 DBUS 接收数据。AR1 的控制信号是 LDAR1 和 AR1\_INC。当  $AR\_INC=1$  时，在 T4 的上升沿，AR1 的值加 1；当  $LDAR1=1$  时，在 T4 的上

升沿，将数据总线 DBUS 的数据打入地址寄存器 AR1。AR2 由 2 片 74LS298 组成，有两个数据输入端，一个来自程序计数器 PC，另一个来自数据总线 DBUS。AR2 的控制信号是 LDAR2 和 M3。M3 选择数据来源，当 M3=1 时，选中数据总线 DBUS；当 M3=0 时，选中程序计数器 PC。LDAR2 控制何时接收地址，当 LDAR2=1 时，在 T2 的下降沿将选中的数据源上数据打入 AR2。

#### 8). 程序计数器 PC、地址加法器 ALU2、地址缓存器 R4

程序计数器 PC、地址加法器 ALU2、地址缓存器 R4 联合完成三种操作：PC 加载 PC+1、PC+D。

R4 是由 2 片 74LS298 构成的具有存储功能的两路选择器，当 M4=1 时，选中数据总线 DBUS；当 M4=0 时，从指令寄存器 IR 的低 4 位 IR3~IR0 接收数据。当 LDR4=1 时，在 T2 的下降沿将选中的数据打入 R4。

ALU2 是由一片 GAL22V10 构成，当 PC\_ADD=1 时，完成 PC 和 IR 低 4 位的相加，即 PC+D。

程序计数器 PC 是由一片 GAL22V10 构成，当 PC\_INC=1 时，完成 PC+1；当 PC\_ADD=1 时，与 ALU2 一起完成 PC+D 的功能；当 LDPC=1 时，接收从 ALU2 和 R4 来的地址，实验是接收来数据总线 DBUS 的地址，这些新的程序地址在 T4 的上升沿打入 PC 寄存器。

#### 9). 指令寄存器 IR

指令寄存器 IR 是一片 74LS374。当 LDIR=1 时，在 T4 的上升沿，它从双端口存储器的右端口接收指令。指令的操作码部分 IR7—IR4 送往控制器译码，产生数据通路的控制信号。指令的操作数部分送往寄存器堆 RF，选择参与运算的寄存器。IR1、IR0 与 RD1、RD0 连接，选择目标操作数寄存器；IR3、IR2 与 RS1、RS0 连接，选择源操作数寄存器。IR1、IR0 也与 WR1、WR0 连接，以便将运算结果送往目标操作数寄存器。

本实验系统设计了 11 条基本的机器指令，均为单字长（8 位）指令，指令功能及格式如下表所示。另一点需说明的是：为了简化运算，指令 JC D 中的 D 是一个 4 位的正数，用 D3~D0 表示。

表 1 机器指令系统

名称	助记符	功能	指令格式			
			IR7 IR6	IR5 IR4	IR3 IR2	IR1 IR0
加法	ADD Rd, Rs	Rd + Rs → Rd	0 0	0 0	Rs1 Rs0	Rd1 Rd0
减法	SUB Rd, Rs	Rd - Rs → Rd	0 0	0 1	Rs1 Rs0	Rd1 Rd0
逻辑与	AND Rd, Rs	Rd & Rs → Rd	0 0	1 1	Rs1 Rs0	Rd1 Rd0
存数	STA Rd, [Rs]	Rd → [Rs]	0 1	0 0	Rs1 Rs0	Rd1 Rd0
取数	LDA Rd, [Rs]	[Rs] → Rd	0 1	0 1	Rs1 Rs0	Rd1 Rd0
无条件转移	JMP [RS]	[RS] → PC	1 0	0 0	Rs1 Rs0	X X
条件转移	JC D	若 C = 1 则 PC=D → PC	1 0	0 1	D3 D2	D1 D0
停机	STP	暂停执行	0 1	1 0	X X	X X
中断返回	IRET	返回断点	1 0	1 0	X X	X X
开中断	INTS	允许中断	1 0	1 1	X X	X X
关中断	INTC	禁止中断	1 1	0 0	X X	X X

### 4、微程序控制器

控制器用来产生数据通路操作所需的控制信号。TEC-9 提供了一个微程序控制器，以便能进行计算机组成原理基本实验。在进行课程设计时，学生可设计自己的控制器。图 1.2 是控制器框图。

#### 1). 控制存储器

控制存储器由 5 片 HN58C65/28C64 构成。HN58C65/28C64 是 E<sup>2</sup>PROM，存储容量为 8K 字节，本实验系统只使用了 128 字节。微指令格式采用水平型，微指令字长 35 位，其中顺序控制部分 10 位：判别字段 4 位，后继微地址 6 位。操作控制字段 25 位，各位进行直接控制。

判断标志位 P3 和控制台开关 SWB、SWA 结合在一起确定微程序的分支，完成不同的控制台操作。

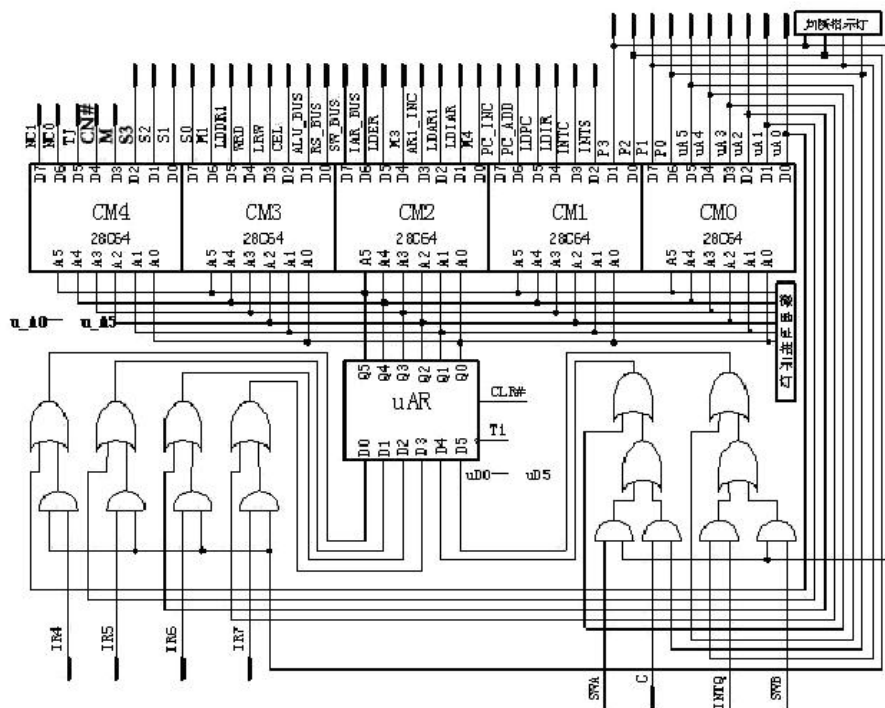
判断标志位 P2 与指令操作码（IR 的高 4 位 IR7~IR4）结合确定微程序的分支。转向各种指令的不同微程序流程。

判断标志位 P1 标志一条指令的结束，与中断请求信号 INTQ 结合，实验对程序的中断处理。

判断标志位 P0 与进位标志 C 结合确定微程序的分支，实验条件转指令。

操作控制字段 25 位，全部采用直接表示法，控制数据通路的操作。在设计过程中，根据微程序流程图对控制信号进行了适当的综合与归并，把某些在微程序流程图中作用相同或者类似的信号归并为一个信号。下面列出微程序提供的控制信号。

说明：书中微程序控制器 EEPROM 由 58C64 或 28C64 组成，可能是版本或生产时间不同而采用不同的芯片，两种芯片在性能上基本兼容。书中采用一种芯片介绍。



微程序控制器的组成

表 1.2 控制信号表

S3, S2, S1, S0	选择运算器的运算类型。
M	选择运算器的运算模式：M=0，算术运算；M=1，逻辑运算。
Cn#	运算器最低位的 +1 信号。为 0 时，运算器最低位有进位。
LRW	当 LRW=1 且 CEL=1 时，对双端口存储器左端口进行读操作；当 LRW=0 且 CEL=1 时，对左端口进行写操作。
CEL	双端口存储器左端口使能信号。为 1 时允许对左端口读、写。

CER	双端口存储器右端口使能信号。为 1 时将指令送往指令总线 IBUS。
M1 (M2)	当 M1=1 时，操作数寄存器 DR1 从数据总线 DBUS 接收数据，当 M1=0 时，操作数寄存器 DR1 从寄存器堆 RF 接收数据。此信号也用于作为操作数寄存器 DR2 的数据来源选择信号。
ALU_BUS	ALU 输出三态门使能信号，为 1 时将 ALU 运算结果送 DBUS。
RS_BUS	通用寄存器右端口三态门使能信号，为 1 时将 RF 的 B 端口数据送 DBUS。
SW_BUS	控制台输出三态门使能信号，为 1 时将控制台开关 SW7-SW0 数据送 DBUS。
WRD	双端口寄存器堆写入信号，为 1 时将数据总线上的数据在 T2 的上升沿写入由 WR1、WR0 指定的个寄存器。
LDDR2	对操作数寄存器 DR2 进行加载的控制信号，为 1 时在 T3 的下降沿将由 RS1、RS0 指定的寄存器中的数据打入 DR2。
LDDR1	对操作数寄存器 DR1 进行加载的控制信号，为 1 时在 T3 的下降沿将由 RD1、RD0 指定的寄存器中的数据打入 DR1。
LDAR1(LDAR2)	对地址寄存器 AR1 进行加载的控制信号。此信号也可用于作为允许对地址寄存器 AR2 加载。
AR1_INC	对 AR1 进行加 1 操作的电位控制信号。
LDPC(LDR4)	为 1 时，对程序计数器 PC 进行加载。此信号也用于作为 R4 的加载允许信号 LDR4
PC_INC	为 1 时，对 PC 进行加 1 操作的电位控制信号。
LDIR(CER)	为 1 时，对指令寄存器进行加载的控制信号。 在 T4 上升沿保存 C、Z 标志位。
INTS	置中断允许标志 INTE 为 1
INTC	清除中断允许标志 INTE
M4	当 M4=1 时，R4 从数据总线 DBUS 接收数据。 当 M4=0 时，R4 从指令寄存器 IR 接收数据。
M3	当 M3=1 时，AR2 从数据总线 DBUS 接收数据。 当 M3=0 时，AR2 从程序计数器 PC 接收数据
LDER	为 1 时，允许对暂存寄存器 ER 加载；在 T4 的上升沿保存 C、Z 标志位
LDIAR	为 1 时，对中断寄存器 IAR 加载。
TJ	停机指令，暂停微程序运行。

## 2). 微地址寄存器 $\mu$ AR

微地址寄存器  $\mu$  AR 是 1 片 74LS273，对控制存储器提供微程序地址。当 CLR#=0 时，将异步清零，使微程序从 000000B 开始执行。在每一个 T1 的上升沿，新的微指令地址打入微地址寄存器中。微地址由指示灯 uA5~uA0 显示。控制台信号 SWC 直接连接 74LS273，作为 uD6，用于实验读寄存器操作。

## 3). 微程序地址译码电路

微程序地址译码电路产生后继微程序地址，它由 2 片 74LS32 和 2 片 74LS08 构成。微程序地址译码电路数据来源是：控制存储器产生的后继微程序地址 uA5~uA0，控制存储器产生的标志位 P3~P0，指令操作码 IR7~IR4，进位标志位 C，中断请求标志 INTQ，控制台方式标志位 SWB、SWA。

## 5、控存 EEPROM 的改写

TEC-9 中的 5 片 EEPROM (CM4-CM0) 是控存, 里面装有微程序的微代码。由于它是电可擦除和编程的 EEPROM, 因此可以实现不用将 CM4-CM0 从插座上取出就能实现对其编程的目的。

## 6、控制台

控制台由若干拨动开关和指示灯组成, 用于设置控制台指令、人工控制数据通路、设置数据代码信号和显示相关数据组成等。

### 1). 数据开关 SW7-SW0

八位数据开关, 通过 74LS244 接到数据通路部分的数据总线 DBUS 上, 用于向数据通路中的寄存器和存储器置数。当 SW\_BUS=1 时, SW7-SW0 的数据送往数据总线 DBUS。开关拨到上面位置时输出 1, 开关拨到下面位置时输出 0。SW7 对应 DBUS 最高位, SW0 对应 DBUS 最低位。

### 2). 模拟数据通路控制信号开关 K15-K0

拨动开关, 拨到上面位置输出 1, 拨到下面位置输出 0。实验中用于模拟数据通路部分所需的电平控制信号。例如, 将 K1 与 LDDR1 相连, 则 K1 拨到上面位置时, 表示 LDDR1 为 1。这些开关在数字逻辑与数字系统实验时也作为电平输入开关。

### 3). 数据总线指示灯 DBUS

八个发光二极管 (高四位为红, 低四位为绿), 指示 DBUS 上数据。灯亮表示 1。

### 4). 指令总线指示灯 IBUS

八个发光二极管 (高四位为红, 低四位为绿), 指示 IBUS 上数据。灯亮表示 1。

### 5). 地址指示灯 AR

八个发光二极管 (高四位为红, 低四位为绿), 指示双端口存储器的左端口地址寄存器内容。灯亮表示 1。

### 6). 程序计数器指示灯 PC

八个发光二极管 (高四位为红, 低四位为绿), 指示双端口存储器右端口地址。灯亮表示 1。

### 7). 40 位微命令指示灯 CM3-CM0

40 个红色发光二极管, 显示从控制存储器读出的微命令的内容。

### 8). 其它指示灯 C、BUSYL、BUSYR

C 是进位标志指示灯。BUSYL、BUSYR 分别是 RAM 左右端口忙指示灯。

### 9). 运算器指令灯

A7~A0, 运算器 A 口数据指示灯; B7~B0, 运算器 B 口数据指示灯; F7~F0, 运算器运算结果输出数据指示灯

### 10). 微动开关 CLR#、QD

按一次 CLR# 开关, 产生一个负的单脉冲 CLR#, 正的单脉冲 CLR。CLR# 对全机进行复位。CLR# 到时序和控制器的连接已经在印制板上实现, 控制存储器和数据通路部分不使用 CLR#。按一次 QD 按钮, 产生一个正的启动脉冲 QD 和负的单脉冲 QD#。QD 使机器运行。

### 11). 工作方式选择开关

#### a、工作模式设置开关

SWC	SWB	SWA	功能
0	0	0	启动程序: 程序从指定的地址开始运行
0	0	1	读双端口存储器
0	1	0	写双端口存储器



0	1	1	写寄存器堆
1	0	0	读寄存器堆

启动程序 (PR): 按下复位按钮 CLR#后, 微地址寄存器清零。这时, SWC=0、SWB=0、SWA=0, 用数据开关 SW7—SW0 设置 RAM 中的程序首地址, 按 QD 按钮后, 启动程序执行。

写存储器 (WRM): 按下复位按钮 CLR#, 置 SWC=0、SWB=1、SWA=0。①在 SW7—SW0 中置好存储器地址, 按 QD 按钮将此地址打入 AR1。②在 SW7—SW0 置好数据, 按 QD, 将数据写入 AR1 指定的存储器单元, 这时 AR 加 1。③返回②。依次进行下去, 直到按复位键 CLR#为止。这样就实现了对 RAM 的连续手动写入。这个控制台操作的主要作用是向 RAM 中写入自己编写的程序和数据。

读存储器 (RRM): 按下复位按钮 CLR#, 置 SWC=0、SWB=0、SWA=1。①在 SW7—SW0 中置好存储器地址, 按 QD 按钮将此地址打入 AR1, RAM 此地址单元的内容读至 DBUS 显示。②按 QD 按钮, 这时 AR1 加 1, RAM 新地址单元的内容读至 DBUS 显示。③返回②。依次进行下去, 直到按复位键 CLR#为止。这样就实现了对 RAM 的连续读出显示。这个控制台操作的主要作用是检查写入 RAM 的程序和数据是否正确。在程序执行后检查程序执行的结果 (在存储器中的部分) 是否正确。

寄存器写操作 (WRF): 按下复位按钮 CLR#, 置 SWC=0、SWB=1、SWA=1。①首先在 SW7—SW0 置好存储器地址, 按 QD 按钮, 则将此地址打入 AR1 寄存器和 AR2 寄存器。②在 SW1、SW0 置好寄存器选择信号 WR1、WR0, 按 QD 按钮, 通过双端口存储器的右端口将 WR1、WR0 (即 SW1、SW0) 送到指令寄存器 IR 的低 2 位。③在 SW7—SW0 中置好要写入寄存器的数据; 按 QD 按钮, 将数据写入由 WR1、WR0 指定的寄存器。④返回②继续执行, 直到按复位按钮 CLR#。这个控制台操作主要在程序运行前, 向相关的通用寄存器中置入初始数据。

说明: 第①、②操作是为了实现写一条写寄存器号指令, 先在存储器写好地址, 再将段写的有效寄存器号写入存储器, 并从指令端口读出到指令总线

寄存器读操作 (RRF): 按下复位按钮 CLR#, 置 SWC=1、SWB=0、SWA=0。①首先在 SW7—SW0 置好存储器地址, 按 QD 按钮, 则将此地址打入 AR1 寄存器和 AR2 寄存器。②在 SW3、SW2 置好寄存器选择信号 RS1、RS0, 按 QD 按钮, 通过双端口存储器的右端口将 RS1、RS0 (即 SW3、SW2) 送到指令寄存器 IR 的第 3、2 位。RS1、RS0 选中的寄存器的数据读出到 DBUS 上显示出来。③返回②继续下来, 直到按复位键 CLR#为止。这个控制台操作的主要作用是在程序执行前检查写入寄存器堆中的数据是否正确, 在程序执行后检查程序执行的结果 (在寄存器堆中的部分) 是否正确。

说明: 同上面写寄存器说明

#### b、控制器选择开关

微程序: 选择控制器为微过程控制器, 将自动一一一对应连接好微程序信号与数据通路信号。

脱机: 微过程控制器、数据通路、硬布线控制器三部分信号完全独立。

硬布线: 选择控制器为硬布线控制器, 将自动一一一对应连接好硬布线控制器与数据通路间的信号。

c、DP、DZ、DB 三个开关只能有一个为高有效。

DP	DZ	DB	功能
0	0	0	连续运行
0	0	1	单步工作方式。硬布线
0	1	0	单指: 运行一条指令。
1	0	0	单拍

DP（单拍）、DB（单步）是两种特殊的非连续工作方式。当 DP=1 时，计算机处于单拍工作方式，按一次 QD 按钮，只发送一组时序信号 T1-T4，执行一条微指令。

DB 方式只对硬连线控制器适用，当 DB=1 时，按一次 QD 按钮，发送一组 W1-W3，执行一条机器指令。当 DP=0 且 DB=0 时，DZ=0 时，TEC-9 处于连续工作方式，按 QD 按钮，连续执行双端口 RAM 中存储的程序。

## 7、硬连线控制器 EPM3128

EPM3128 是 Altera 公司的 1 个在系统可编程器件，包含有 2500 门，适用于设计大规模的数字逻辑与数字系统电路。在计算机模型实验中，它用作设计并实现硬连线控制器，代替出厂时提供的微过程控制器。它有 1 个下载插座，下载时下载电缆的一端插在下载插座上，另一端插在 PC 机并行口上，下载电缆将 PC 机和 EMP3128 连在一起。在 PC 机上运行 QUARTUS II 工具软件，输入控制器的设计方案，进行编译、连接和适配，然后下载到 EPM3128 中去，就构成了 1 个硬连线控制器。硬连线控制器和数据通路部分采用可插、拔的导线连接或通过控制器选择开关选通。

## 8、数字逻辑和数字系统试验区

这部分为用户提供了通用的数字逻辑和数字系统实验平台。它主要包括下列部分：实验台左半部的 11 个双列直插插座，EPM3128 在系统编程芯片及下载插座，6 个数码管及其驱动电路，12 个数据指示灯，小喇叭及其驱动电路，12 个拨动开关，2 个单脉冲按钮。

### 1)、双列直插插座

这一部分在实验台的左上部，实验时用于插中、小规模数字逻辑器件。注意：插座的电源和地都没有连接。

### 2)、CPLD

它位于实验台的左下部，用于设计并实现复杂的数字逻辑或数字系统电路和硬布线控制设计实验。

### 3)、7 个数码管及其驱动电路。

为了能做较复杂的实验，比如电子时钟和数字频率计等实验，实验台上安装了 7 个数码管。7 个数码管位于实验台的上部中间。左边 3 个数码管各由一片 BCD 七段译码器/驱动器 74LS47 驱动。只需在各数码管的 4 个输入插孔（D 为最高位，A 为最低位）接入 BCD 码，数码管就显示出相应数字。右边的 4 个数码管由 1 片 74LS244 驱动，可按段和位进行控制。它的段码控制端为 a、b、c、d、e、f、g、h。当控制端接高电平时，则相应的发光二极管段点亮；当控制端接低电平时，相应的发光二极管熄灭。它的位码控制端为 S3、S2、S1、S0，当控制端接高电平时，则相应的位有效。

### 4)、小喇叭及驱动电路

这部分由可控振荡电路，喇叭及其驱动电路组成。电路如图 1.4 所示。

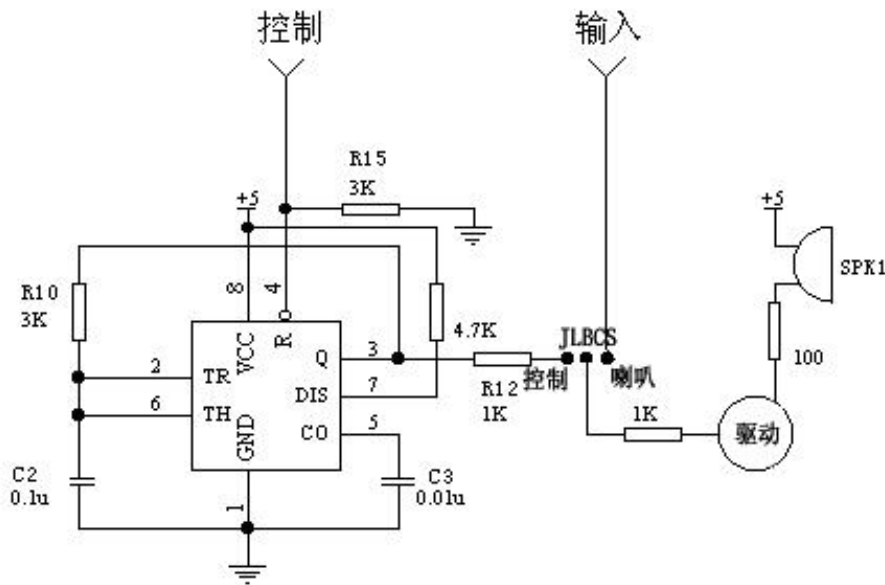


图 1.4 小喇叭及驱动电路

当 JLBCS 用短路片短接“控制”一侧时，它是一个可控声源，可做报警或者报时使用。如果“控制”插孔接高电平，则振荡电路输出频率为 20Hz 左右的方波，驱动喇叭鸣叫。当控制插孔接为低电平时，振荡电路输出低电平，喇叭不鸣叫。

当 JLBCS 用短路子短接“喇叭”一侧时，可从“喇叭”插孔向喇叭的驱动电路送控制信号。直接控制喇叭按希望的频率变化发声，做音乐实验用。

#### 5)、单脉冲按钮

计算机组成原理实验中使用的启动按钮 QD 和复位按钮 CLR#及一路单独的单脉冲。在数字逻辑和数字系统实验中作为单脉冲按钮使用。每个按钮按下后都能输出 1 个正脉冲和 1 个负脉冲。不过由于在计算机组成原理中，QD 按钮使用的是正脉冲，CLR#按钮使用的是负脉冲，因此在数字逻辑和数字系统实验中，最好使用 QD 按钮产生的负脉冲和 CLR#按钮产生的正脉冲。单独的单脉冲可用于控制器实验中的中断申请，或数字电路实验。

#### 6)、电平开关 K0-K15

在计算机组成原理实验中使用的模拟数据通路控制信号开关 K15-K0 在数字逻辑和数字系统实验中作为普通的电平开关使用。

#### 7)、10 个发光二极管

10 个发光二极管位于 TEC-9 实验板的左上部位置，用于指示信号的高低电平，信号输入孔 L0-L9 接入高电平时，相应的二极管点亮，信号输入孔 L0-L9 接入低电平时，相应的二极管熄灭。

#### 8)、逻辑笔

当输入端  $U_i$  接高电平时红灯(高)亮，接低电平时绿灯(低)亮。有一脉冲时，黄灯亮一次，计数指示灯加 1。可以测试 TTL 电平和 CMOS 电平。

#### 9)、峰鸣器

峰鸣器及驱动电路，可用作报警或提示实验。输入端接高电平时，峰鸣器发声。